

Düşük güçlü çok seviyeli CMOS sınıflandırıcı devresi

Merih YILDIZ*, Serdar ÖZOĞUZ, Shahram MINAEI¹,

İTÜ Fen Bilimleri Enstitüsü, Elektronik Mühendisliği Programı, Ayazağa, İstanbul

¹Doğuş Üniversitesi, Elektronik ve Haberleşme Mühendisliği, Acıbadem, İstanbul

Özet

İnsanların günlük yaşamında belirli bir sesi, görüntüyü veya analog bir veriyi tanımak için kullandıkları kuralları tanımlamak oldukça karmaşık bir dizi işlem gerektirmektedir ve hatta bu kuralları tanımlamak bazen mümkün olamamaktadır. Oysa pratikte karşılaşılan örüntü tanıma olaylarını, yazılım ve donanım tabanlı tanıma uygulamalarında belirli kriterlere oturtmak mümkündür. Sınıflandırma yöntemleri ilk olarak örüntü sınıflandırma adı altında görülmeye başlanmış ve ilk algoritmelerde basit yapılar ele alınmıştır; ilk gerçekleştirilen yapıda en yakın komşu yakınsaması kullanılmıştır. Sınıflandırma işlemi, benzer özellik taşıyan objelerin başka farklı özellikte olanlardan ayırt edilmesi şeklinde tanımlanabilir ve otomatik hedef belirleme, yapay zekâ, yapay sinir ağları, analog-sayısal dönüştürücüler, kuantalama, tıbbi tanı, istatistik gibi çeşitli alanlarda kullanılır. Dolayısıyla da, günümüzde, gerek gerçek dünyada gerekse sayısal dünyada verilerin sınıflandırılması büyük önem taşımaktadır. Bugüne kadar sınıflandırma işlemi genellikle çeşitli algoritmalar yardımıyla yazılımsal olarak yapılmaktaydı, oysa birçok uygulamada, sınıflandırma işlemini daha hızlı ve gerçek zamanda yapmak gerektiğinden bu algoritmaların donanımsal olarak gerçekleştirilmesi çok daha yararlı olmaktadır. Ayrıca günümüzde portatif cihazların da artmasından dolayı donanımsal olarak gerçekleştirilecek cihazlarda da güç tüketimi büyük önem kazanmıştır. Dolayısıyla sınıflandırıcı devrelerin de bu ihtiyaçları karşılayacak şekilde tasarlanması gerekmektedir. Bu makalede akım-modlu düşük güçte çalışan bir sınıflandırıcı devresi sunulmaktadır. Önerilen sınıflandırıcı devresi, temel bir bloktan yararlanmaktadır; bu temel bloklar kullanılarak daha gelişmiş sınıflandırıcı yapılarının gerçekleştirilebileceği gösterilmiştir. Önerilen devrenin benzetimleri için 0.35 µm AMS CMOS teknoloji parametreleri kullanılmıştır. Ayrıca çekirdek devre adı verilen temel bloğun, tek boyutlu ve iki boyutlu sınıflandırıcı yapılarının benzetim sonuçları verilmiştir.

Anahtar Kelimeler: Sınıflandırıcı devreler, CMOS, akım modlu, düşük güç.

*Yazışmaların yapılacağı yazar: Merih YILDIZ. myildiz@dogus.edu.tr; Tel: (216) 327 11 06-1214.

Bu makale, birinci yazar tarafından İTÜ Fen Bilimleri Enstitüsü, Elektronik Mühendisliği Programı'nda tamamlanmış olan "Ayarlanabilir CMOS sınıflandırıcı devrelerde yeni olanaklar" adlı doktora tezinden hazırlanmıştır. Makale metni 29.04.2009 tarihinde dergiye ulaştı, 01.06.2009 tarihinde basım kararı alınmıştır. Makale ile ilgili tartışmalar 31.05.2010 tarihine kadar dergiye gönderilmelidir.

A low-power multilevel CMOS classifier circuit

Extended abstract

In the everyday life of humans, to define the rules used to recognize a certain sound, image or an analog data necessitates a sequence of complex processes which sometimes becomes impossible to accomplish. However, to develop well defined software and hardware based criteria in the application of pattern recognition problems, is possible. The aim of classification can be defined as to assign an unknown object to a class containing similar objects (or to distinguish objects having the same properties from those not possessing). Classification is especially important in the real world applications or in the digital world. Basic classification methods using nearest neighbourhood algorithm have first been seen in early sixties under the subject title "pattern recognition." Classification is used in a huge variety of applications such as automatic target identification, artificial neural networks, artificial intelligence, template matching, pattern recognition, analog to digital converters, quantization, medical diagnosis, statistics etc.

Therefore nowadays, be it in the real or digital world, data classification is becoming increasingly important. But until recently, major work on classification was on developing algorithms used in software packages whereas, in many applications it is becoming more and more important to classify data much faster and in real time, entailing the need for hardware realization of these algorithms. Software approaches are not practical for real time applications, the processing is computationally very expensive, consuming a lot of Central Processing Unit (CPU) time when implemented as software running on general purpose computers. So in literature hardware implementation of classifier topologies become necessary. Also in literature hardware realized classifiers which are designed to work in low power operation; moreover some of these hardware classifiers do not have custom tunability. So they can only be used for a specific application. The recent developments in electronics technology has created a perfect medium for the hardware realization of classifier structures which, in turn, will render many classifier application prospects feasible in real time. This paper targets the design and application to real world problems of tunable, low power new classifier

circuits using CMOS technology. So, a low-power CMOS implementation of a multi-input data classifier with several output levels is presented. The proposed circuit operates in current-mode and can classify several types of analog vector data. An architecture is developed comprising a threshold circuit based on CMOS transistors operating in sub-threshold region. To this purpose a one dimensional classifier, called core circuit is proposed. The core circuit also works as a one-dimensional classifier. As this circuit is designed to operate in current-mode the input and the output data is provided to the core circuit with currents. So by interconnecting several core circuits and adding the output currents a multi output classifier can be obtained. Also, combining several core circuits in groups in such a way that each group has identical input current (different from the others), a multi-dimensional, multi-level output classifier can be obtained. Also, numerous efforts in balancing the trade off between power consumption, area and speed have resulted in an acceptable performance. On the other hand, the rapid increasing use of battery operated portable equipment in application areas such as telecommunications and medical electronics increases the importance of low-power and small sized VLSI circuits' technologies. One solution to achieve low-power and acceptable performance is to operate the transistors in the subthreshold region. The CMOS transistors working in subthreshold region are suitable only for specific applications which need, not very high performance, but low power consumption.

The primary aim of this paper is to develop a low power classifier circuit with n inputs and externally tunable decision regions with different output amplitude for each region. Due to the subthreshold operation of the transistors in the proposed core circuit, very low power consumption becomes possible. The proposed core circuit is constructed with two threshold and a subtractor circuit. The SPICE simulation of the threshold circuit, core circuit, one dimensional and two dimensional classifier circuits are given. Using $0.35\ \mu\text{m}$ parameters of AMS CMOS technology, SPICE simulations are performed and a low-power, custom tunable classifier circuit is realized. Because of the parallel processing characteristic of the circuit, it is well suited for real-world applications.

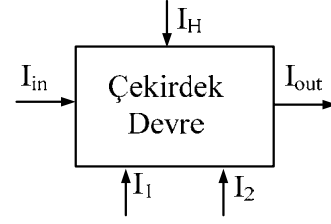
Keywords: Classifier circuits, CMOS, current-mode, low-power.

Giriş

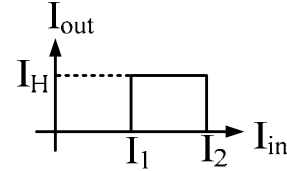
Sınıflandırma, belli özellikler taşıyan veri kümesinden aynı özellikleri taşıyanların bir araya getirilmesi işlemi olarak tanımlanır (Hunt 1975). Sınıflandırma yoğun olarak uygulamalı bilimlerde, karakter tanıma (Lin vd., 1999a), otomatik hedef tanıma, nesne tanıma (Lin vd., 1999b), yapay zeka (Abdel-Aty-Zohdy vd., 1999), yapay sinir ağları (Yıldız vd., 2006b) ve istatistik gibi konularda kullanılmaktadır (Liu vd., 2000).

Bu makalede, blok diyagramı Şekil 1a'da ve geçiş karakteristiği Şekil 1b'de gösterilen tek boyutlu sınıflandırıcı devresi, "Çekirdek Devre" (ÇD), tasarlanmıştır. Devrede kullanılan I_1 , I_2 ve I_H kontrol akımları dışarıdan değiştirilebilecek şekilde sağlanmaktadır. Buradaki I_{in} akımı tek boyutlu giriş verisini, I_{out} akımı ise çıkışı oluşturmaktadır. Bu tek boyutlu sınıflandırıcı yardımı ile n-boyutlu sınıflandırıcı devresi de Şekil 2'de gösterildiği şekilde tasarlanabilir. Ayrıca çekirdek devre yapıları kullanılarak çok çıkışlı sınıflandırıcı blokları da oluşturulabilir. Literatürde çeşitli sınıflandırıcı devreleri önerilmiştir (Geske vd., 2003; Yıldız vd., 2006a; Yıldız vd., 2007a; Yıldız vd., 2007b), ancak bu devrelerden güç tüketimlerinin yüksek olduğu bilinenler bulunmaktadır (Yıldız vd., 2006a; Yıldız vd., 2007b). Diğer taraftan sınıflandırıcı devrelerin portatif cihazlarda da kullanılacağı düşünüldüğünde, özellikle tıp ve haberleşme elektronigi uygulamalarında, güç tüketiminin de önemli bir parametre olduğu unutulmamalıdır. Güç tüketimini iyileştirmede kullanılabilir bir yöntem, gerçekleştirilecek devreleri zayıf evirtimde çalışacak biçimde tasarlamak olabilmektedir (Yıldız vd., 2007a). Devrenin zayıf evirtimde çalıştırılması devrenin hız performansının bir miktar azalmasına sebep olsa bile devrenin kullanılacağı sözü edilen uygulamalar yüksek hıza değil daha çok düşük güç tüketimini ihtiyaç duyacaklardır.

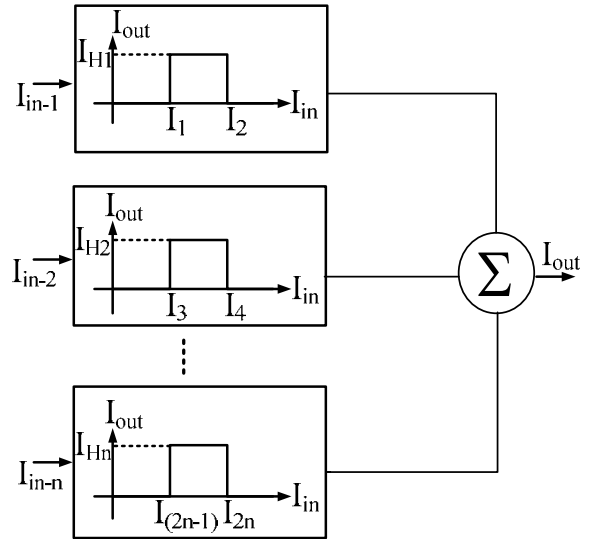
Bu makalede amaç, düşük güç tüketimi ile çalışan, n-girişli, karar bölgeleri dışarıdan saptanabilen sınıflandırıcı devre tasarlamaktır. Bu amaçla tasarlanan akım modlu, tek boyutlu sınıflandırıcı çekirdek devresi bu makalenin izleyen kısımlarında sunulacaktır.



Şekil 1a. Çekirdek devre blok diyagramı



Şekil 1b. Çekirdek devre giriş-çıkış karakteristiği



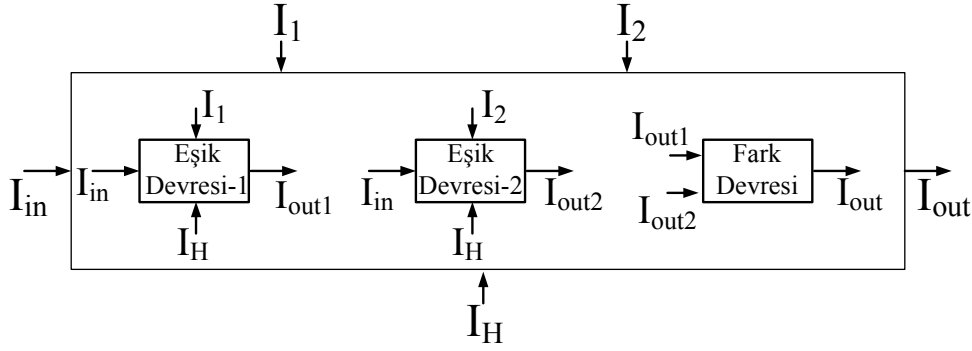
Şekil 2. n-boyutlu sınıflandırıcının blok diyagramı

Önerilen CMOS çekirdek devre

Tasarlanmış olan devrenin Şekil 1b'de verilen giriş-çıkış karakteristiği aşağıdaki eşitlik ile gösterilebilir

$$I_{out} = \begin{cases} I_H & I_1 < I_{in} < I_2 \text{ için} \\ 0 & \text{diğer.} \end{cases} \quad (1)$$

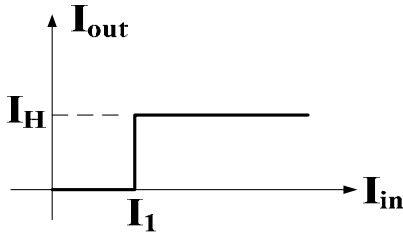
Şekil 1b'de görülen I_{H1} çıkış akımının seviyesini belirlemektedir. I_1 , I_2 akımları ise karakteristiğin yatay eksen üzerindeki yerini ayarlamak için kullanılır.



Şekil 3. Çekirdek yapının blok diyagramı

Çekirdek devrenin blok diyagramı Şekil 3’de verilmiştir. Bu blok diyagram için iki adet eşik devresi ve bir fark alma devresi bulunmaktadır. Eşik devresinin giriş-çıkış karakteristiği Şekil 4’de verilmiştir. Böyle bir giriş-çıkış karakteristiği aşağıdaki bağıntı ile ifade edilebilir

$$I_{out} = \begin{cases} I_H & I_{in} \geq I_1 \text{ için} \\ 0 & \text{diğer.} \end{cases} \quad (2)$$

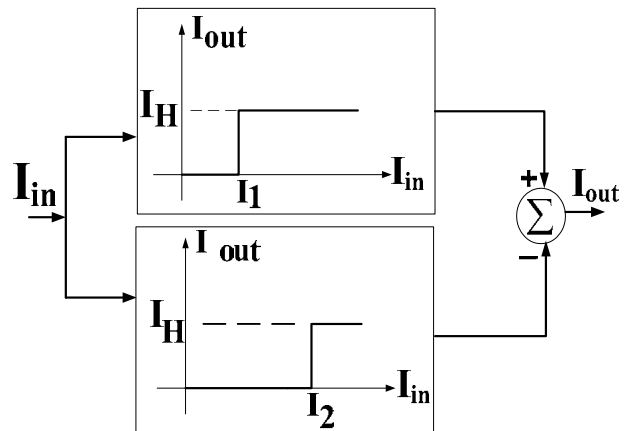


Şekil 4. Eşik devresinin giriş-çıkış karakteristiği

Devrede I_1 akımı eşik değeridir. Eğer giriş akımı I_{in} , I_1 akımından büyükse devrenin çıkışındaki akım I_H olur.

Çekirdek devrenin gerçekleştirilmesi için Şekil 5’de verilen yapı kullanılmıştır. Bu bölgenin oluşturulabilmesi için eşik devrelerinin I_H akımları eşit seçilmeli ve $I_2 > I_1$ sağlanmalıdır. Önerilen çekirdek devre Şekil 6’da verilmiştir. Şekil 6’da M_1 - M_5 ve M_8 - M_{12} transistörleri eşik devrelerini oluşturmaktadır (Morgül vd., 2005). Giriş akımı I_{in} eşik akımından ufak olduğu zaman M_2 transistörünün savak gerilimi yaklaşık olarak V_{DD} ’ye eşit olur; giriş akımı eşik akımından büyük olduğunda da M_2 transistörünün savak gerilimi yaklaşık olarak V_{SS} olur. Diğer taraftan M_3 transistörünün akımı M_2 transistörünün savak

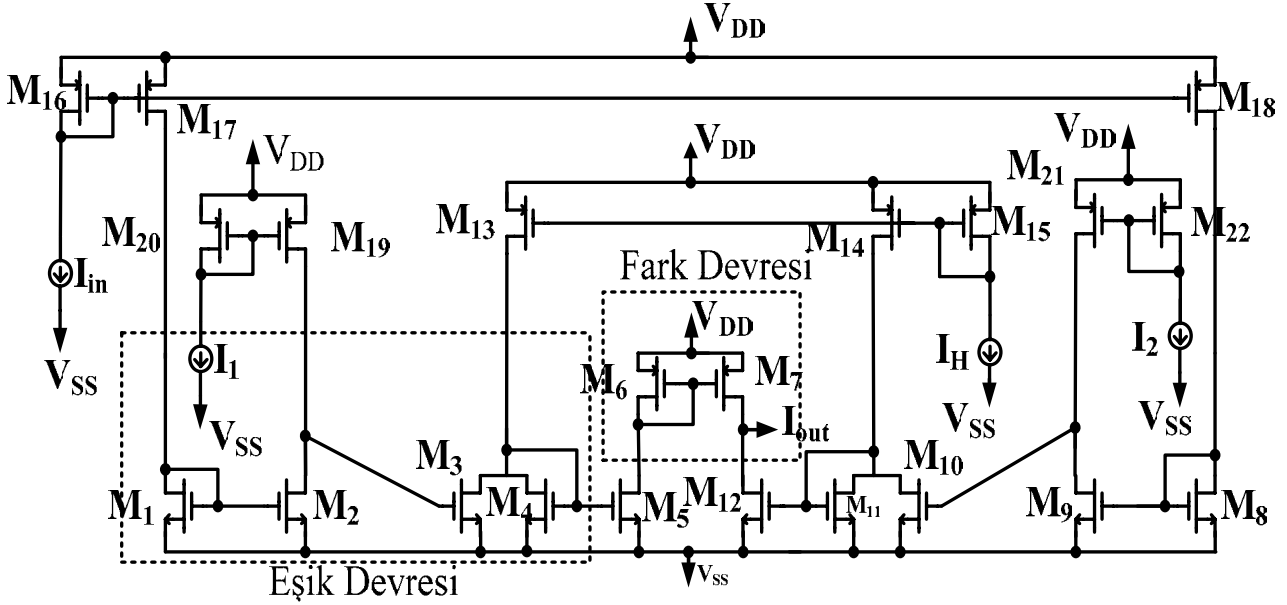
gerilimi ile de kontrol edilmektedir. M_2 transistörünün savak gerilimi yaklaşık V_{SS} ise M_3 transistörü kesime girerek I_H akımının M_4 üzerinden akmasını sağlar. Benzer şekilde M_2 transistörünün savak gerilimi yaklaşık V_{DD} olduğu zaman M_3 transistörü iletme geçerek I_H akımının M_3 üzerinden akması sağlanır. M_3 ve M_4 (M_3 açık iken M_4 kapalı, M_4 açık iken M_3 kapalı) transistörleri anahtar gibi çalıştırdıklarından, değerine göre I_H akımı M_3 ya da M_4 transistöründen akmaktadır. Çıkış akımlarının farkını almak için kullanılan fark devresi ise basit akım aynası (M_6 ve M_7) kullanılarak gerçekleştirilmiştir. M_{13} , M_{14} ve M_{15} transistörleri eşik devrelerine aynı I_H akımını uygulamak için kullanılmıştır. Benzer şekilde M_{16} , M_{17} ve M_{18} transistörleri de girişlere aynı I_{in} akımını uygulanmasını sağlarlar. Önerilen devrenin benzetiminde $0.35 \mu\text{m}$ AMS CMOS teknoloji parametreleri kullanılmış, besleme gerilimleri V_{DD} ve $V_{SS} = \pm 1.65 \text{ V}$ olarak alınmıştır. Transistör boyutları Tablo 1’de verilmiştir.



Şekil 5. Çekirdek yapının ayrıntılı blok şeması

Tablo 1. MOS tranzistorların boyutları

MOSFET	M ₁ , M ₂ , M ₃ , M ₄ , M ₅ , M ₈ , M ₉ , M ₁₀ , M ₁₁ , M ₁₂	M ₆ , M ₇ , M ₁₃ , M ₁₄ , M ₁₅ , M ₁₆ , M ₁₇ , M ₁₈ , M ₁₉ , M ₂₀ , M ₂₁ , M ₂₂
W [μm]	10.5	35.5
L [μm]	1.05	1.05



Şekil 6. Çekirdek devre

Çekirdek devre benzetimi

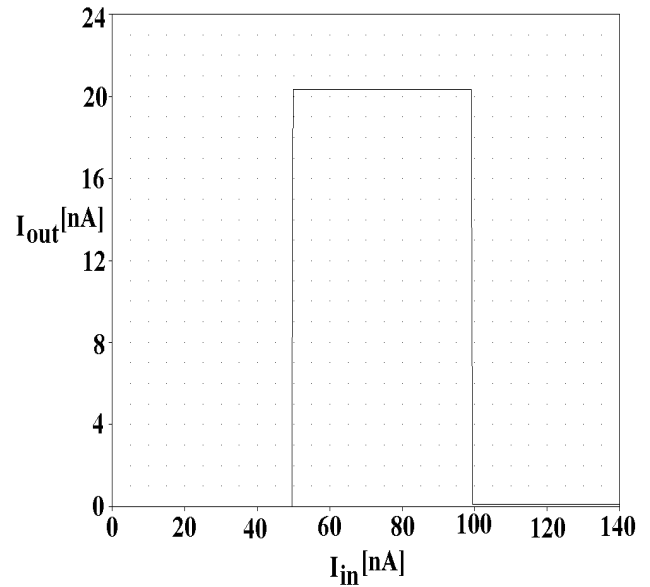
Önerilen çekirdek devre yapısında zayıf evirtimde çalıştırılan MOS tranzistorların savak akımı aşağıdaki gibi ifade edilir.

$$I_D = I_s e^{\left(\frac{q(V_{GS} - V_T - V_{offset})}{nkT}\right)} \left(1 - e^{-\frac{qV_{DS}}{kT}}\right) \quad (3)$$

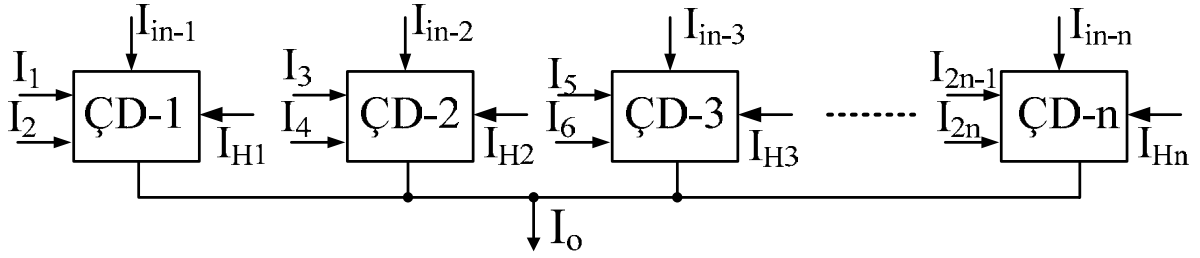
Bu bağıntıda V_{GS} , V_{DS} büyüklükleri sırası ile geçit-kaynak ve savak-kaynak gerilimlerini vermektedir. I_s akım katsayısı, T sıcaklık, V_{offset} gerilimi -0.1 ile 0.1 V arasında değişen bazı gerilim terimlerinin toplamıdır, n zayıf evirtim salınım parametresi, k Boltzmann sabiti ve q bir elektronun yüküdür (Hodges vd., 2004).

Çekirdek yapının benzetim sonuçları $I_1=50$ nA, $I_2=100$ nA ve $I_H=20$ nA için Şekil 7’de verilmiştir. Çekirdek devrenin güç tüketimi 0.43 μ W olarak elde edilmiştir. Bu güç tüketimi

kontrol akımlarının büyüklüğüne göre değişiklik göstermektedir.



Şekil 7. Çekirdek yapının giriş-çıkış karakteristiği



Şekil 8. Tek boyutlu sınıflandırıcı yapısı

Tek boyutlu sınıflandırıcı devresi

Tek boyutlu verilerin sınıflandırılması için Şekil 8’de gösterildiği gibi çekirdek yapılar paralel olarak bağlanır ve aşağıdaki bağıntıları sağlanacak şekilde giriş ve kontrol akımları seçilir

$$I_{in-1} = I_{in-2} = \dots = I_{in-n} = I_{in}, \quad (4)$$

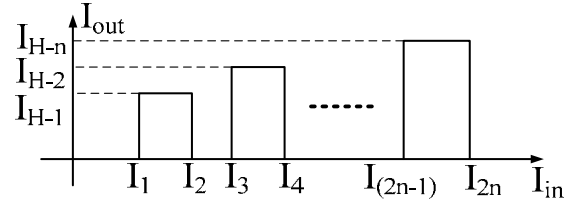
$$I_1 < I_2 < I_3 < \dots < I_{(2n-1)} < I_{2n}. \quad (5)$$

Kontrol akımlarının uygun olarak seçilmesi durumunda tek boyutlu sınıflandırıcının giriş-çıkış karakteristiğinin Şekil 9’da gösterildiği gibi olması gerekir; gerçekten de tek boyutlu bir sınıflandırıcının benzetimi için dört çekirdek yapı paralel olarak bağlanmış ($n=4$), benzetim sonucu Şekil 10’da, kontrol akımları ise Tablo 2’de verilmiştir.

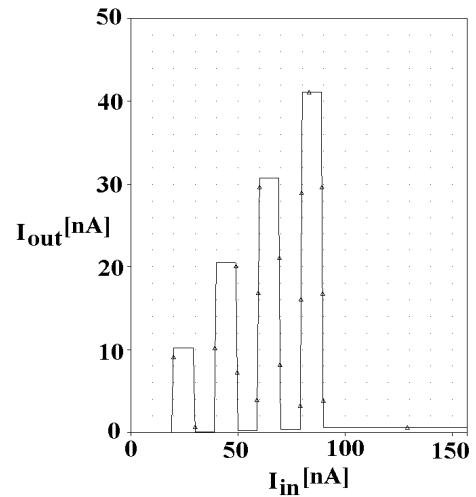
Tablo 2. Tek boyutlu sınıflandırıcı çekirdek devre kontrol akımları (akımlar nA)

Çekirdek Devre	Kontrol Akımları	
1	I_1	20
	I_2	30
	I_{H1}	10
2	I_3	40
	I_4	50
	I_{H2}	20
3	I_5	60
	I_6	70
	I_{H3}	30
4	I_7	80
	I_8	90
	I_{H4}	40

Benzetim sonuçlarından görüldüğü gibi x-ekseni de dahil olmak üzere beş farklı tipte veri sınıflandırılmakta ve toplam güç tüketimi 4.77 μ W çıkmaktadır.



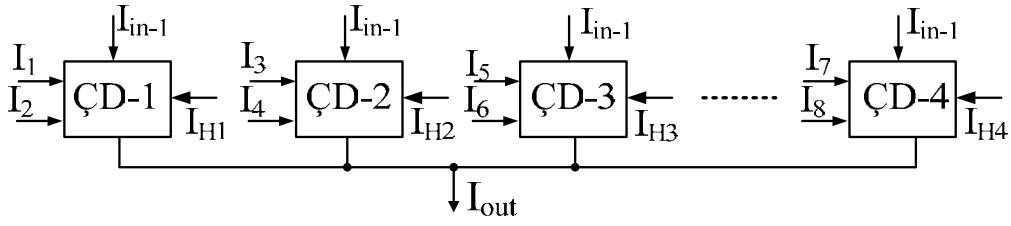
Şekil 9. n adet ÇD’den oluşan tek boyutlu sınıflandırıcının giriş-çıkış karakteristiği



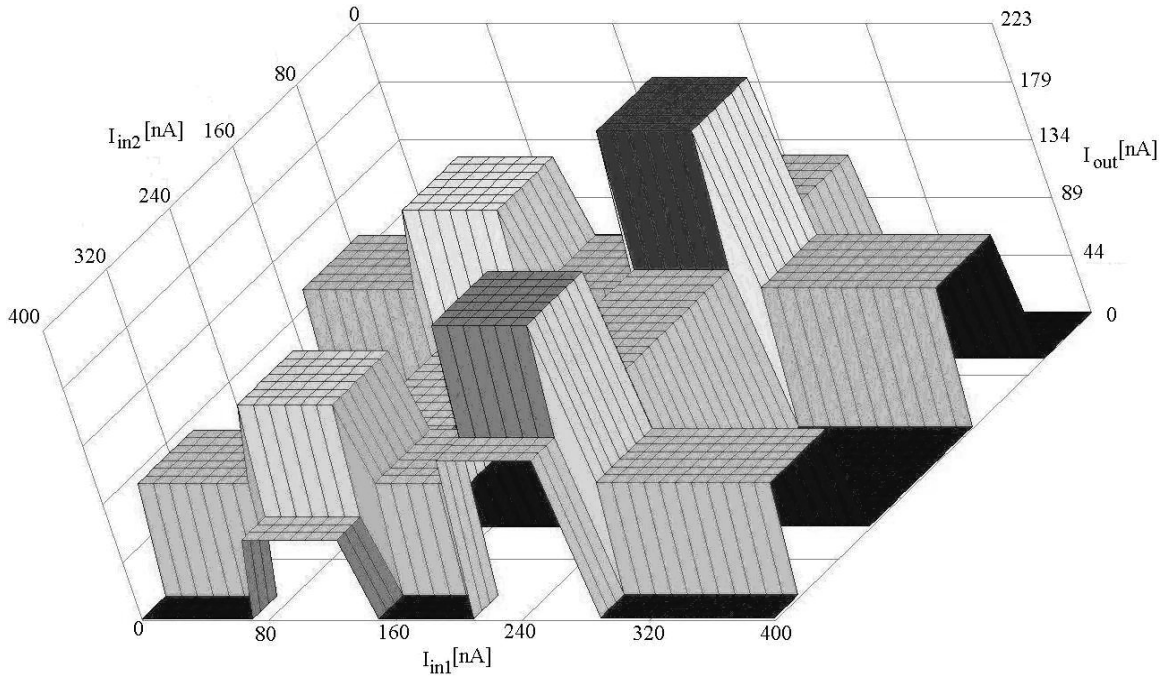
Şekil 10. 4 adet ÇD’den oluşan tek boyutlu sınıflandırıcı giriş-çıkış benzetim sonucu.

İki boyutlu sınıflandırıcı devresi

İki boyutlu sınıflandırıcı devrenin benzetimi için 4 çekirdek devre kullanılarak oluşturulmuş blok şema Şekil 11’de verilmiştir. Bu blok şemanın benzetimi için kullanılan her bir çekirdek devrenin kontrol akımları Tablo 3’de ve iki boyutlu sınıflandırıcının benzetim sonucu elde edilen $(I_{in1}-I_{in2})-I_{out}$ giriş-çıkış karakteristiği Şekil 12’de verilmiştir. Bu şekilden görüldüğü gibi $I_{out}=0$ bölgesi de dahil edildiği zaman 9 farklı bölge oluşmakta, başka bir deyişle 9 tür veri sınıflandırılabilir.



Şekil 11. İki boyutlu sınıflandırıcının yapısı



Şekil 12. Şekil 11'de verilen yapı için gerçekleştirilmiş iki boyutlu sınıflandırıcının $(I_{in1}-I_{in2})-I_{out}$ giriş-çıkış karakteristiği

Tablo 3. İki boyutlu sınıflandırıcı çekirdek devre kontrol akımları (akımlar nA)

Çekirdek Devre-I			Çekirdek Devre -II			Çekirdek Devre-III			Çekirdek Devre -IV		
I_1	I_2	I_{H1}	I_3	I_4	I_{H2}	I_5	I_6	I_{H3}	I_7	I_8	I_{H4}
70	140	60	210	280	120	60	140	100	280	360	80

Sınıflandırma bölgeleri

Şekil 11'de verilen blok diyagramı üç şekilde genelleştirilebilir.

(i) Aynı I_{in1} giriş akımı m adet çekirdek devreye ve aynı I_{in2} giriş akımı n adet çekirdek devreye uygulanır. Böylece oluşturulan devre iki boyutlu verileri $m(n+1)+n+1$ ($I_{out}=0$ düzlemi de dahil edilirse) sınıfa ayırır. Bu şekilde tasarlanmış sınıflandırıcının ayrıştırdığı iki boyutlu veri bölgeleri Şekil 13 ile gösterilmiştir. Bu şekilde, bölgelerin içine yazılmış olan değerler

farklı çıkış seviyelerine karşı düşmektedir. ΔI çıkışta ayırt edilebilecek en küçük akım değeridir (çözünürlük).

(ii) n adet çekirdek devreyi paralel bağlayıp, her bloğa ayrı bir giriş uygulayarak, çıkışları da tek bir noktada toplayarak n-girişli ve tek çıkışlı bir sınıflandırıcı devre oluşturulabilir.

(iii) (i) ve (ii) numaralı maddelerde verilen durumların kombinasyonları kullanılarak çok çıkışlı, çok seviyeli ve birden fazla karar bölgesi olan sınıflandırıcı yapıları tasarlanabilir.

	1	...	n
	$I + m\Delta I + \Delta I$		$n(I + m\Delta I) + n\Delta I$
1	$I + \Delta I$		$(n+1)I + [n(m+1)+1]\Delta I$
...			
m	$I + m\Delta I$		$(n+1)I + [n(m+1)+m]\Delta I$

Şekil 13. İki boyutlu sınıflandırıcı için genelleştirilmiş sınıflandırıcı taslağı

Sonuçlar

Bu çalışmada sınıflandırma uygulamalarında kullanılacak, ÇD adı verilen, temel bir bloğun önce işlevsel tanımı sonra alt bloklara ayrıştırılması sonra da bu alt blokların düşük güç tüketimli ve akım modlu CMOS devresi ile gerçekleştirilmesi yapılmıştır. Çekirdek devrenin davranışını belirleyen akımların, ki bunlar sınıflandırıcı uygulamalarında kontrol parametrelerine karşı düşmektedirler, dışarıdan ayarlanabilir olması ile sağlanan olanaklardan da bahsedilmiştir; bunların arasında kuantalama, sınıflandırma, örüntü tanıma, şablon uydurma vb. uygulamalardan söz edilebilir. Ayrıca, akım modlu olduklarından, toplanmaları gerektiğinde çıkışların birbirilerine bağlanabilmesi, çekirdek devrenin modüler kullanılmasını sağlamakta ve uygulamalar için yeni olanaklar getirmektedir. Diğer taraftan literatürde rastlanan benzer devreler düşük gerilim ya da düşük güç tüketimi açısından uygun olmadıkları gibi işlevsellik bakımından da esneklikleri yoktur; çıkışlar birbirine kolayca bağlanamaz ve kontrol parametreleri kullanıcı tarafından ayarlanamaz.

Gerçekleşmiş olan devre bütün bu üstünlükleri taşımakta olup yeni uygulamalara yönelik esnek ve geliştirilmeye elverişli bir yapıya sahiptir.

Kaynaklar

Abdel-Aty-Zohdy H.S. ve Al-Nsour M., (1999). Reinforcement learning neural network circuits

for electronic nose, *IEEE International Symposium on Circuits and Systems*, 5, 30 May-2 June, 379 – 382, Orlando, FL.

Geske, G., Stupmann, F. ve Wego, A., (2003). High Speed Color Recognition With an Analog Neural Network Chip, *IEEE International Conference on Industrial Technology*, 1, Dec 10-12, 104-107, Maribor, Slovenia.

Hodges D., Jackson H. ve Saleh R., (2004). *Analysis and Design of Digital Integrated Circuits*, Third edition, Mc Graw Hill, 7-64, USA.

Hunt E., (1975). *Artificial Intelligence*. New York Academic Press, 4-46, USA.

Lin G. ve Shi B., (1999a). A current-mode sorting circuit for pattern recognition, *Intelligent Processing and Manufacturing of Materials*, July 10-15, 1003 – 1007, Hawaii.

Lin G. ve Shi B., (1999b). A multi-input current-mode fuzzy integrated circuit for pattern Recognition, *Second International Conference on Intelligent Processing and Manufacturing Materials*, July 10-15, 687-693, Hawaii.

Liu B., Chen C. ve Tsao J., (2000). A Modular Current-Mode Classifier Circuit for Template Matching Application, *IEEE Trans. on Circuit and Systems-II, Analog and Digital Signal Processing*, 47, 2, 145-151.

Morgül A. ve Temel T., (2005). Current-mode level restoration circuit for multi-valued logic, *Electronics Letters*, 41, 5, 230-231.

Yıldız M., Minaei S. ve Göknaç C., (2006a). CMOS Realization of a Quantized-Output Classifier Circuit, *13th IEEE International Conference on Electronics, Circuits and Systems*, Dec 10 - 13, 292-295, France.

Yıldız M., Minaei S. ve Göknaç C., (2006b). Current Mode Double Threshold Neuron Activation Function, *Complex Computing-Networks: Brain-like and Wave-oriented Electrodynamical Algorithms. Springer Proceedings in Physics*, 104, 267-274.

Yıldız M., Minaei S. ve Göknaç C., (2007a). A Low-Power Multilevel-Output Classifier Circuit, *European Conference on Circuit Theory and Design*, August 26-30, 747-750, Spain.

Yıldız M., Minaei S. ve Göknaç C., (2007b). A CMOS Classifier Circuit using Neural Networks with Novel Architecture, *IEEE Transaction on Neural Networks*, 18, 6, 1845-1849.