

Yeni bir düşük distorsiyonlu çarpma devresi

Rıza Can TARCAN*, **Hakan KUNTMAN**

İTÜ Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü, 34469, Ayazağa, İstanbul

Özet

Analog çarpıcı devreler işaret işleme devrelerinin temel elemanlarından biridir. Çarpma devrelerinin gerçekleştirilmede çeşitli yöntemler kullanılmaktadır. Bunlardan biride MOS transistorun karesel davranışına dayanarak çalışan yöntemdir. Bu tür çarpma devrelerinin lineerliğini bozan birçok etmenler vardır. Bunlardan biride MOS transistorun karesel davranışını bozan kısa kanal etkisi sonucu oluşan mobilite azalması etkisidir. Bu çalışmada mobilite azalması etkisini azaltan bir yöntem önerilmiş ve bu yöntem transistorun karesel davranışına dayanarak çalışan bir çarpma devresine uygulanarak yeni bir düşük distorsiyonlu çarpma devresi elde edilmiştir. Önerilen çarpma devresi $\pm 5V$ ile çalışmakta ve girişlerinin çalışma aralığı $\pm 3V$ 'dur. Bu çalışma aralığında X ve Y girişi için lineerlik hatası sırasıyla % 0.3 ve %0.5'dir.

Anahtar Kelimeler: *Analog çarpma devreleri, kısa kanal etkisi, mobilite azalması.*

A new low distortion analog multipliers

Abstract

Analog multipliers are the key elements of signal processing circuits. There are several techniques of implementing four quadrant multipliers including techniques based on square-law characteristic of the MOS transistor operating in the saturation region. Several second order effects influencing the linearity of multiplier circuits are reported in the literature. Mobility degradation caused by short channel effect is the most important factor that degrades the linearity of those kind multipliers. Although there are several analog multiplier circuits based on square-law characteristic of MOS transistor, in none of them any special precaution has been introduced to reduce the short channel effect. In this work a new method has been proposed for reducing the mobility degradation effect on square-law characteristic of the MOS transistor. The method proposed has been applied to an analog multiplier to form a new low distortion multiplier circuit. The advantages provided by the new method have been demonstrated by computer simulations. The results prove that the new method is effective to reduce the distortion. Therefore, the circuit proposed will provide new possibilities in analogue IC design. The analog multiplier proposed is supplied with symmetrical voltages of $\pm 5V$. The variation range of each input is $\pm 3V$. The nonlinearity for V_x is % 0.3 and for V_y is %0.5. On the other hand -3dB bandwidth for input X is 11MHz and for Y is 10MHz.

Keywords: *Analog multipliers, short channel effect, mobility degradation.*

*Yazışmaların yapılacağı yazar: Rıza Can TARCAN. rizacan@ehb.itu.edu.tr; Tel: (212) 285 35 57.

Bu makale, birinci yazar tarafından İTÜ Elektrik-Elektronik Fakültesi'nde tamamlanmış "CMOS analog çarpma devrelerinde harmonik distorsiyonun azaltılmasına yönelik yeni topolojiler" adlı doktora tezinden hazırlanmıştır. Makale metni 17.09.2002 tarihinde dergiye ulaşmış, 20.11.2002 tarihinde basım kararı alınmıştır. Makale ile ilgili tartışmalar 31.05.2003 tarihine kadar dergiye gönderilmelidir.

Giriş

Analog çarpıcı devreler işaret işleme devrelerinin temel elemanlarından biridir. Çarpma devrelerinin gerçekleştirilmede çeşitli yöntemler kullanılmaktadır. Bunlardan biri de MOS transistorun karesel davranışına dayanmaktadır. Bu yöntemle dayanarak çalışan çarpma devrelerine Bult ve Wallinga, 1986, 1987; Hong ve Melchior, 1984; Kimura, 1994; Liu ve Chang 1997; Mehrvarz ve Kwok, 1996; Saxena ve Clark, 1994; Jesus v. diğ. 1987; Song Ho-Jun ve Kim Choong-Ki, 1990; Wang, 1991 ve Wank, 1993 adlı yazarların makalelerinde yer verilmiştir. Bu tür çarpma devrelerinin lineerliğini bozan başlıca etmenlerden biri kısa kanal etkisi sonucu mobilite azalmasıdır. Literatürde bu yöntemle çalışan çarpma devrelerinin hiçbirinde kısa kanal etkisini azaltacak özel bir önlem alınmamıştır. Bu çalışmada kısa kanal etkisini azaltacak bir yöntem tanıtılmış, bu yöntem bir çarpma devresine uygulanarak lineerliği iyi, düşük distorsiyonlu yeni bir çarpma devresi elde edilmiştir. Ayrıca devrenin girişleri hem fark girişli hem de tek uçtan girişli olmaktadır. Elde edilen devrenin lineerlik hatası, TÜBİTAK 3μ prosesinde, X girişi için %0.3, Y girişi için, %0.5 ve girişlerinin çalışma aralığı ±3 V'dir. -3dB band genişliği X girişi için 11MHz, Y girişi için 10MHz'dir.

Kısa kanal etkisinin azaltılması

Bilindiği gibi kısa kanal etkisi mobilite azalmasına neden olur ve bu SPICE Level-3 Modelinde θ ile modellenir. θ 'yu katarak transistorun I_D savak akımı kanal boyu modülasyonunu ihmal edilerek:

$$I_D = \frac{\beta}{2} \frac{(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (1)$$

olarak yazılır. Buradan:

$$V_{GS} - V_T = \frac{I_D \theta}{\beta} + \sqrt{\left(\frac{I_D \theta}{\beta}\right)^2 + \frac{2I_D}{\beta}} \quad (2)$$

bulunur. Eğer:

$$\left(\frac{I_D \theta}{\beta}\right)^2 \ll \left(\frac{2I_D}{\beta}\right) \quad (3)$$

olacak şekilde düşük I_D akımlarında çalışırsak:

$$V_{GS} - V_T \approx \frac{I_D \theta}{\beta} + \sqrt{\frac{2I_D}{\beta}} \quad (4)$$

yazılabilir. Eğer V_{GS} gerilimini $V_G + K \cdot I$ şeklinde oluşturursak (4) bağıntısı:

$$V_G + K \cdot I_D - V_T \approx \frac{I_D \theta}{\beta} + \sqrt{\frac{2I_D}{\beta}} \quad (5)$$

şekline dönüşür. Eğer K:

$$K = \left(\frac{\theta}{\beta}\right) \quad (6)$$

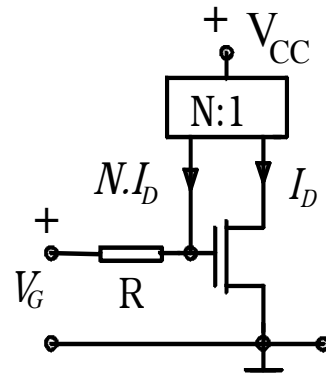
olarak seçilirse (5) bağıntısı:

$$V_G - V_T \approx \sqrt{\frac{2I_D}{\beta}} \quad (7)$$

şekline dönüşür. Bu da bize (3) şartı altında:

$$I_D \approx \frac{\beta}{2} (V_G - V_T)^2 \quad (8)$$

olarak ideal MOS transistorun karakteristiğini verir. Bu fonksiyonu Şekil 1'deki gibi bir devreyle gerçekleştirebiliriz.



Şekil 1. Mobilite azalması etkisinin azaltılması

Şekil 1’de N:1 olarak gösterilen blok bir akım aynasıdır. R elemanı asıl devrede Şekil 6’daki devre ile gerçekleştirilmektedir. Burada (8) bağıntısının gerçekleştirilmesi için:

$$N.R=K=\frac{\theta}{\beta} \quad (9)$$

olmalıdır. θ ihmal edilmeden ise (9) şartı altında Şekil 1 devre için I_D ’nin bağıntısı:

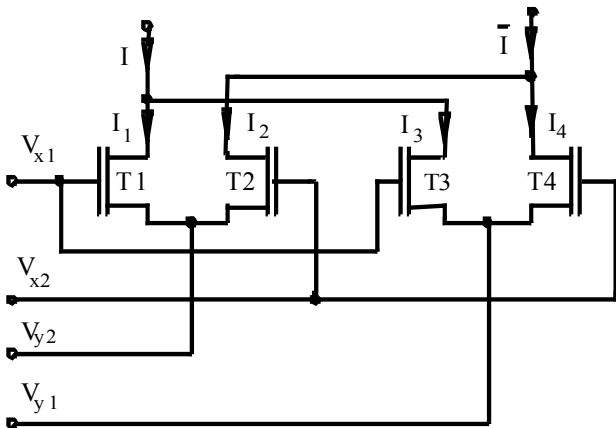
$$I_D = \frac{\beta}{\theta^2} \left(\sqrt{1 + \theta^2 (V_{GS} - V_T)^2} - 1 \right) \quad (10)$$

biçiminde olur.

Önerilen çarpma devresinin çalışma ilkesi

Önerilen çarpma devresinde, Hong ve Melchior, (1984)’in önerdiği Şekil 2’deki devre göz önüne alınmış, çarpma devresindeki T1, T2, T3 ve T4 transistörlerinin yerine Şekil 1’deki devre gibi çalışan bir devre koyularak Şekil 3’deki devre elde edilmiştir. R direnci ve N katsayısı (9) şartını sağlayacak optimum değerlere getirilmiştir.

Şekil 2’deki devrenin $I_o=I-\bar{I}=I_1-I_2-(I_3-I_4)$ çıkış akımı, mobilite azalması etkisini katmak üzere her bir transistör için I_1, I_2, I_3 ve I_4 için (1) denklemini kullanıp gerekli düzeltmeler ve sadeleştirmeler yaptıktan sonra:



Şekil 2. Temel çarpma devresi

$$V_{X1}-V_{X2}=V_{DX}, V_{Y2}-V_{Y1}=V_{DY}, V_{X1}+V_{X2}=V_{CX} \quad (11)$$

$$V_{Y1}+V_{Y2}=V_{CY} \text{ ve } a=1+\theta/2(V_{CX}-V_{CY}-2V_T)$$

şartları altında:

$$I_o = \frac{\beta \cdot V_{DX} \cdot V_{DY} \cdot a}{a^4 - a^2 \frac{\theta^2}{2} (V_{DX}^2 + V_{DY}^2) + \frac{\theta^4}{16} (V_{DX}^2 - V_{DY}^2)^2} \quad (12)$$

olarak bulunur. θ ihmal edilirse (12) denklemi ideal aşağıdaki çarpma bağıntısını verir.

$$I_o=I-\bar{I}=B \cdot V_{DX} \cdot V_{DY} \quad (13)$$

Bu çalışmanın gerçekleştirilmesi için transistörler için $V_{GS}-V_T>0$ şartının V_{DX} ve V_{DY} ’nin değişim aralığı boyunca sağlanması gereklidir. Gerçekte ise θ nedeniyle harmonik distorsiyon ve intermodülasyon distorsiyonu oluşur. Şöyle ki (12) formülü, θ^4 ’lü terim θ^2 yanında ihmal edilip seriye açılırsa

$$I_o = \beta V_{DX} V_{DY} \left(1 - \frac{3\theta}{2} (V_{CX} - V_{CY} - 2V_T) \right) \left[1 + \frac{\theta^2}{2a^2} (V_{DX}^2 + V_{DY}^2) + \frac{\theta^4}{4a^4} (V_{DX}^2 + V_{DY}^2)^2 + \frac{\theta^6}{8a^6} (V_{DX}^2 + V_{DY}^2)^4 + \dots \right] \quad (14)$$

bulunur. V_{CX} ve V_{CY} sabit tutulursa $a \approx 1$ olarak sabit kalır. Bu durumda V_{DX} sabit iken V_{DY} ’nin tek, V_{DY} sabit iken ise V_{DX} ’nin tek harmonikleri oluşur. Eğer V_{CX} veya V_{CY} sabit tutulamazsa çift harmoniklerde oluşmaya başlar. Önerilen devrede Şekil-2’deki her transistör için (10) bağıntısı geçerlidir. (10) bağıntısı seriye açılıp θ^4 ’den büyük terimler ihmal edildikten sonra. I_o çıkış akımı $b=V_{CX}-V_{CY}-2V_T$ olmak üzere

$$I_o = \beta V_{DX} V_{DY} \left[1 - \frac{\theta^2}{8} (V_{DX}^2 + V_{DY}^2) - \frac{3\theta^2}{8} b^2 + \frac{\theta^4}{128} (3V_{DX}^4 + 3V_{DY}^4 + 10V_{DX}^2 V_{DY}^2 + 30b(V_{DX}^2 + V_{DY}^2) + 15b^2) \right] \quad (15)$$

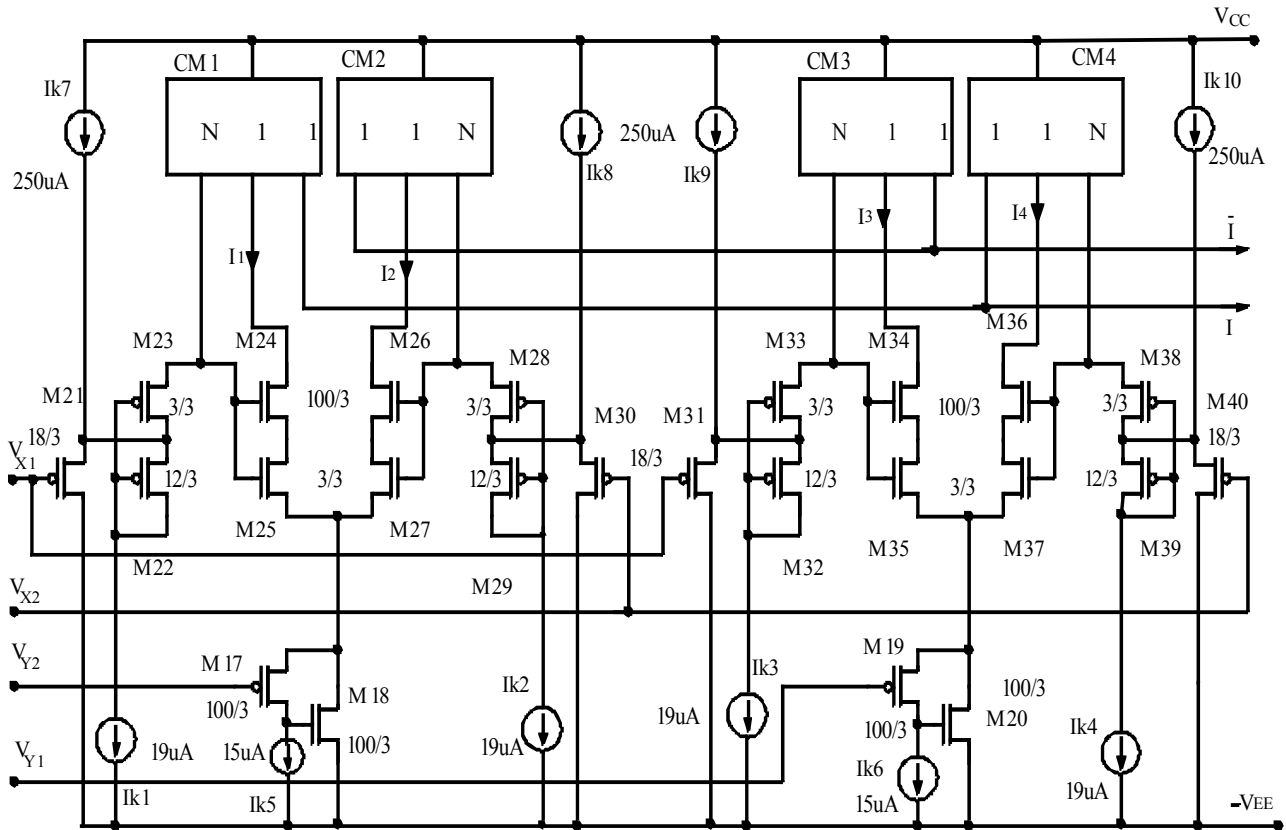
olarak elde edilir. (14) ve (15) bağıntıları karşılaştırıldığında (14)’deki V_{DX}^2 ve V_{DY}^2 katsayılarının $4/a^2$, V_{DX}^4 ve V_{DY}^4 katsayılarının ise $32/(3a^4)$ kere daha büyük olduğu gözükmektedir. Bunun yanında (15) bağıntısından anlaşılacağı üzere V_{CX} ve V_{CY}

gerilimlerine bağlı oluşan distorsiyon Şekil 2'deki devrede daha fazladır. Çünkü (14)'te bu gerilimlerin katsayıları $3/2\theta$ iken (15)'te yaklaşık $3/2V_T\theta^2$ olduğu gözükmektedir. $\theta < 1$ olduğuna göre (15) serisinin katsayılarının (14) serisinin katsayılarına göre daha hızlı 0'a gittiğini ve harmoniklerin genliklerinin V_{DX} ve V_{DY} 'nin kuvvetlerinin genlikleriyle orantılı olduğuna göre yeni devrenin distorsiyonunun daha düşük olduğunu söyleyebiliriz.

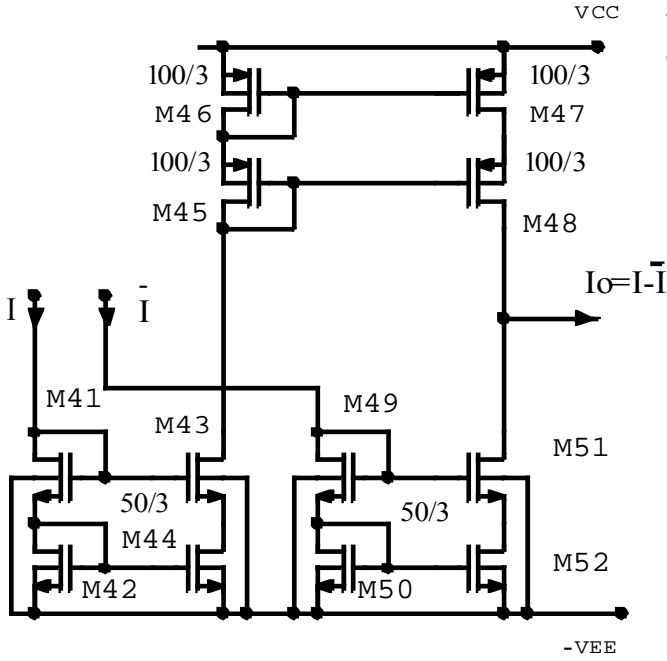
Yüksek doğruluklu çarpma devresi

Çarpma devresi Şekil 3'te gözükmektedir. Devredeki V_{X1} , V_{X2} , V_{Y1} ve V_{Y2} gerilimleri Şekil 5'teki X ve Y girişleri için kullanılan aktif zayıflatıcı devreleriyle oluşturulmaktadır. M17...M20 transistorları tampon devre vazifesi görmektedir. Çıkış I_o akımı Şekil 4'teki I ve \bar{I} akımlarının farkını alan akım aynalarından oluşan devre ile elde edilmektedir. Şekil 3'teki M25-M24, M26-M27, M34-M35 ve M36-M37 transistor çiftleri sırasıyla Şekil 2'deki T1, T2, T3 ve T4 transistorlarının yerine geçmektedir. CM1, CM2, CM3 ve CM4 ise hem Şekil 1'deki

akım aynasının yerine geçmekte hem de çıkış devresi için gerekli I_1 , I_2 , I_3 ve I_4 akımlarını sağlamaktadır. Burada M24, M26 çalışması sağlanmıştır. Bu durumda M25, M27, M35 ve M37 transistorlarının geçitlerinden ve savaklarından sürülmeleri durumunda V_{DS} gerilimleri yaklaşık $V_{GS}-V_T$ 'de kalması sağlanacağından aynı V_{GS} gerilimleri için aynı I_D akımı elde edilir. Böylece kanal boyu modülasyonunun V_{DX} veya V_{DY} girişleri için çalışmada oluşturacağı dengesizlik ortadan kalkmış olur. M34 ve M36 transistorlarının W/L oranları, M25, M27, M35 ve M37 transistorlarına göre yeterince büyük seçilerek M25, M27, M35 ve M37 transistorlarının doyma sınırında Şekil 3'teki M22-M23, M28-M29, M32-M33 ve M38-M39 transistorları ve bunlarla ilgili olan I_{k1} , I_{k2} , I_{k3} ve I_{k4} akım kaynaklarından oluşan devre Şekil 1'deki R direncini simule etmektedir. Bu devrenin çalışması ileride anlatılacaktır. Diğer yandan M21, M30, M31, M40 transistorları hem tampon devre görevini görmekte hem de M25, M27, M35 ve M37 transistorlarını V_{DX} ve V_{DY} gerilimlerinin değişim aralığı boyunca $V_{GS}-V_T > 0$ olacak şekilde kutuplamaktadır.



Şekil 3. Yüksek doğruluklu çarpma devresi



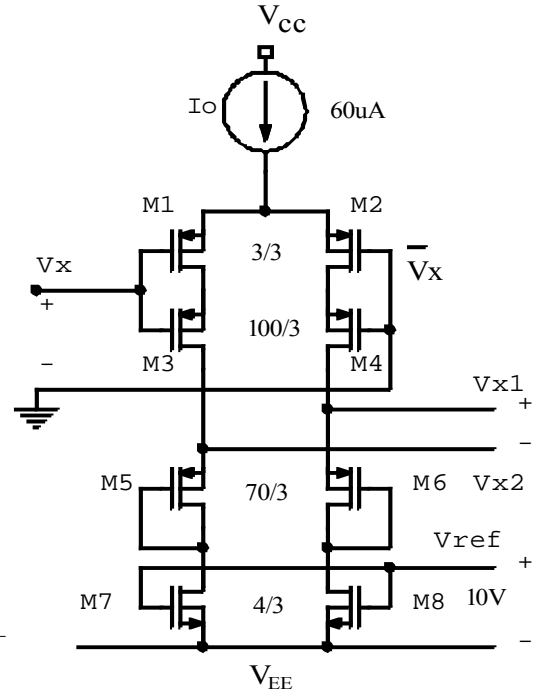
Şekil 4. Çıkış devresi

Aktif zayıflatıcı devreleri

Şekil 3'teki çarpma devresindeki transistörler için (3) eşitsizliğinin geçerli olabilmesi için Aktif X ve Y zayıflatıcı devreleri kullanılmaktadır. Bu zayıflatıcılar X ve Y girişlerinin dinamik aralığı genişletmekte ve distorsiyonu azaltmaktadır. Diğer yandan Şekil-3' deki devrenin girişlerini X ve Y girişlerinin kutuplama şartlarından izole ederek $V_{X1} - V_{X2} = K(V_X - \bar{V}_X)$, $V_{Y1} - V_{Y2} = K(V_Y - \bar{V}_Y)$ olacak şekilde V_{X1} , V_{X2} , V_{Y1} , ve V_{Y2} gerilimlerini oluşturmaktadır. Her bir aktif zayıflatıcı devresi Şekil 5'teki gibidir. X aktif zayıflatıcısı görevini M1...M8 transistörleri, Y aktif zayıflatıcı görevini ise M9...M16 transistörleri yapmaktadır. Bu iki zayıflatıcı devresindeki transistörlerin işlevleri aynı olanlarının boyutları aynıdır. Sadece Y zayıflatıcı devresinin çıkışına kare alıcı transistörlerin akımlarının zayıflatıcı devreyi yüklemesini engellemek için M17...M20 transistörleri ve ilgili akım kaynaklarından oluşan tampon devre koyulmuştur.

Şekil 5'teki M1, M2, M3 ve M4 transistörleri bir uzun kuyruklu devreyi oluşturmaktadır. M3 ve M4'lerin W/L oranları, M1 ve M2'lerine göre yeterince büyük seçilerek M1 ve M2

transistörlerinin doyma bölgesi sınırında çalışması sağlanmaktadır.



Şekil 5. X ve Y girişleri için aktif zayıflatma devresi

M3 ve M4'lerin W/L oranları, M1 ve M2'lerine göre yeterince büyük seçilerek M1 ve M2 transistörlerinin doyma bölgesi sınırında çalışması sağlanmaktadır. Bu durumda devrenin geçiş iletkenliğini M1 ve M2 transistörleri belirlemekte, uzun kuyruklu devrenin çıkış direnci ise M3 ve M4 sayesinde klasik uzun kuyruklu devreye göre daha büyük olmaktadır. M7 ve M8 transistörleri ise direnç bölgesinde çalışmakta olup θ 'nın zayıflatma üzerindeki nonlineer etkisini gidermek için kullanılmaktadır. β_1 ve β_2 sırasıyla M1-M2 ve M5-M6 transistör çiftlerinin iletkenlikleri, I_1 ve I_2 ise M1 ve M2 transistörlerinin savak akımları olduğuna göre:

$$\frac{I_1 \theta}{\beta_1} + \sqrt{\frac{2I_1}{\beta_1}} - \left(\frac{I_2 \theta}{\beta_1} + \sqrt{\frac{2I_2}{\beta_1}} \right) = V_X - \bar{V}_X = V_{IX} \quad (16)$$

yazılabilir. Diğer yandan M5, M6 transistörleriyle ve M7-M8 ile oluşturulan R_d direnci yardımıyla ise:

$$\frac{I_1\theta}{\beta_2} + \sqrt{\frac{2I_1}{\beta_2}} - \left(\frac{I_2\theta}{\beta_2} + \sqrt{\frac{2I_2}{\beta_2}} \right) + R_d(I_1 - I_2) = V_{X2} - V_{X1} \quad (17)$$

yazılabilir. Yukarıdaki (16) denklemini $\sqrt{\beta_1}$ ve (17) denklemini $\sqrt{\beta_2}$ çarpıp farkını aldıktan sonra R_d 'yi uygun seçersek distorsiyona neden olan I_1 ve I_2 'li bileşenlerden bağımsız zayıflatma fonksiyonunu elde ederiz. Bunu sağlayan R_d direnci:

$$R_d = \theta \left(\frac{1}{\sqrt{\beta_1\beta_2}} - \frac{1}{\beta_2} \right) \quad (18)$$

dir. R_d 'nin bu değeri için:

$$V_{X2} - V_{X1} = \sqrt{\left(\frac{\beta_1}{\beta_2} \right)} \cdot V_{IX} \quad (19)$$

bulunur. Benzer şekilde aynı yoldan gidilerek Y aktif zayıflatması içinde:

$$V_{Y2} - V_{Y1} = \sqrt{\left(\frac{\beta_1}{\beta_2} \right)} \cdot V_{IY} \quad (20)$$

bulunur. Üzerinde çalışılan devrede X ve Y zayıflatması için K zayıflatma katsayısı 0.2 seçilmiştir. İstenilen R_d 'yi sağlayan direnç bölgesinde çalışan M7 ve M8 transistörlerinin β_{78} iletkenlikleri ise aşağıdaki (21) bağıntısına göre seçilmelidir.

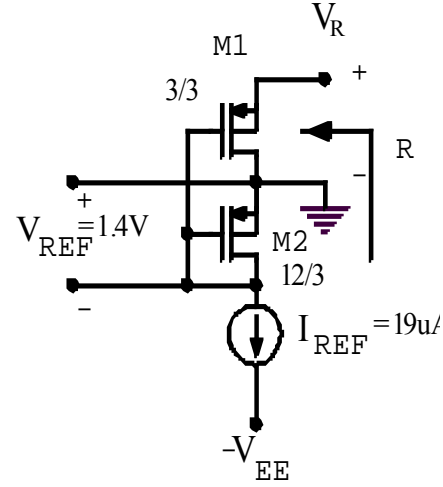
$$\beta_{78} = \frac{1}{R_d(V_{REF} - V_T)} \quad (21)$$

Direnç devresi

Direnç devresi Şekil 6'da görülmektedir. M1 transistörü direnç bölgesinde çalışmakta olup, M2 transistörü ile I_{REF} akım kaynağı yardımıyla kutuplanmaktadır.

M1 transistörünün kutuplama gerilimi uygun seçilerek mobilite azalması etkisi yardımıyla direnç bölgesindeki M1 transistörünün nonlineerliği giderilebilir. Şöyle ki β_1 ve β_2

sırasıyla M1 ve M2 transistörlerinin iletkenlikleri olduğunu göz önüne alarak $V_{OFF} = V_{REF} - |V_{TP}|$ (22) şartı altında:



Şekil-6. R Direnç devresi

$$V_{OFF} = \sqrt{\frac{2I_{REF}}{\beta_2}} \quad (22)$$

$$G(V_R) = \frac{1}{R} = \frac{(V_{OFF} + V_R/2)(1 + \lambda V_R)}{1 + \theta(V_{OFF} + V_R)} \quad (23)$$

olarak yazılır. (23) İletkenliği seriye açıldığında nonlineerliğe neden olan V_R 'nin kuvvetlerinden oluşan terimler oluşur. Lineerliği bozan ilk V_R teriminin katsayısını sıfırlayan V_{OFF} gerilimi:

$$V_{OFF} = \frac{\theta - 2\lambda - \sqrt{4\lambda^2 - 12\lambda\theta + \theta^2}}{4\lambda\theta} \quad (24)$$

olarak bulunur. Bunun gerçekleşebilmesi için $\lambda < \theta/12$ olması gereklidir. Bu V_{OFF} gerilimi için elde edilen R direnci:

$$R = \frac{4\theta^2}{\beta_1(3\theta - 2\lambda - \sqrt{4\lambda^2 - 12\lambda\theta + \theta^2})} \quad (25)$$

olur. Eğer λ ihmal edilirse R direnci

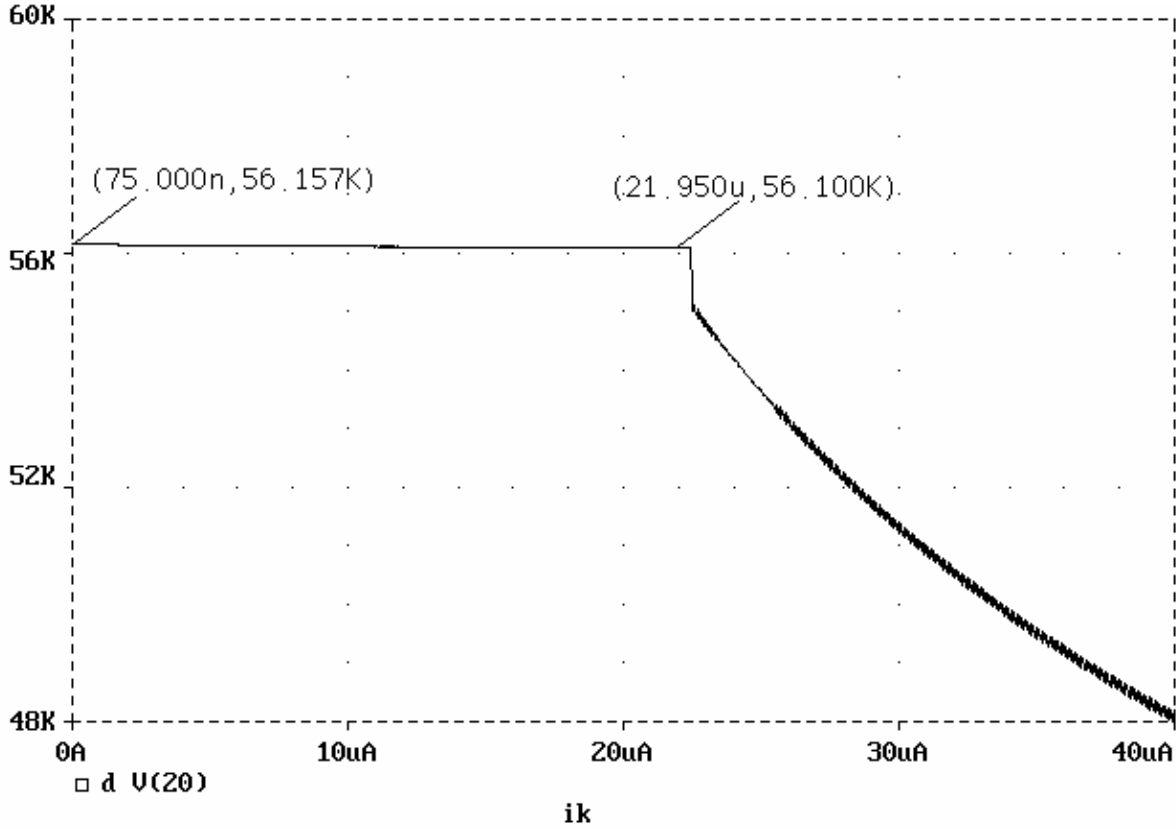
$$R = \frac{2\theta}{\beta_1} \quad (26)$$

olarak elde edilir.

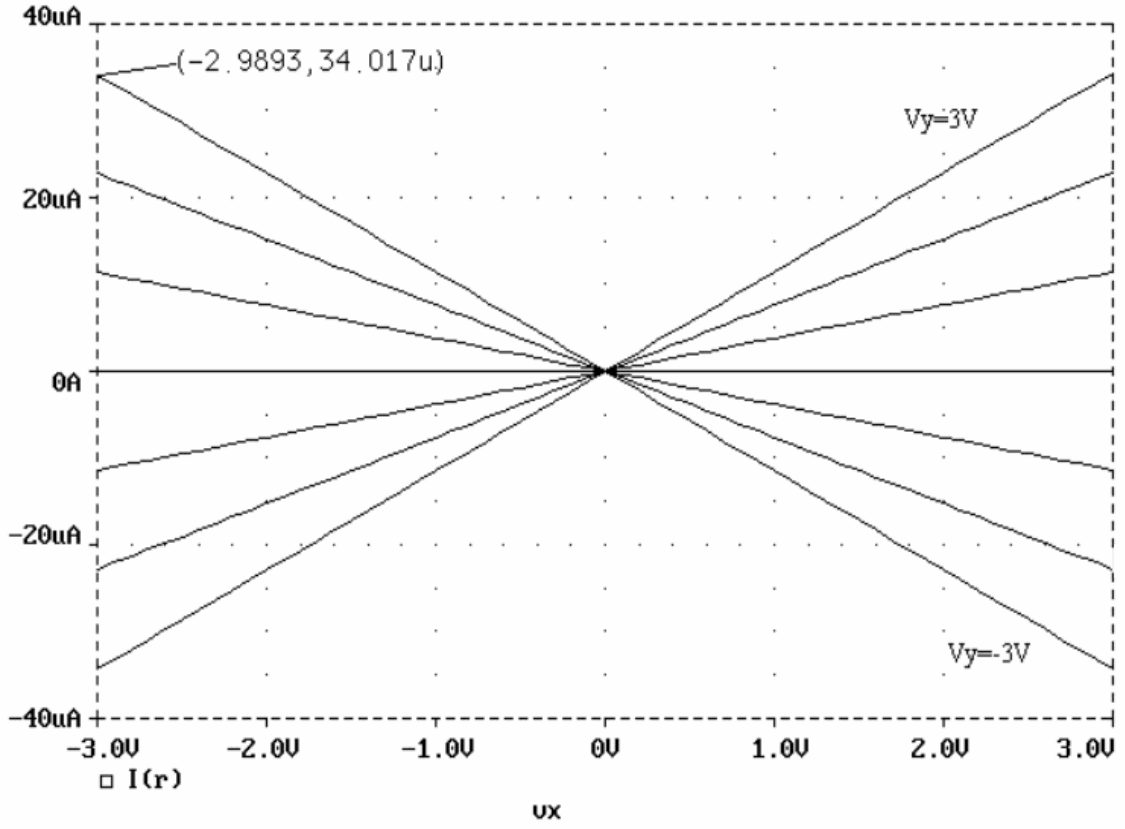
Simulasyon sonuçları

Simulasyonda TÜBİTAK 3 μ prosesinin SPICE Level-3 parametreleri kullanılmıştır. Devre $\pm 5V$ ile beslenmektedir. X ve Y girişlerinin çalışma aralığı $\pm 3V$ 'dur. Aktif zayıflatma devrelerinde kullanılan R_d direnci 4900Ω ve Şekil 3'teki CM1, CM2, CM3 ve CM4 kaskod akım aynalarının N yansıtma katsayısı 0.08'dir. Direnç devresiyle elde edilen R direncinin değeri yaklaşık $56K\Omega$ 'dur. Şekil 7'de bu direncin I_k ile değişimi gözükmektedir. 1,2V'luk çalışma aralığında %0.1 gibi hata oluşmaktadır ki bu lineerlik hatası ve çalışma aralığı devre için yeterlidir. Şekil 8'de θ 'nin etkisi azaltıldığı durum için V_y 'nin çeşitli değerleri için çıkış eğrileri gözükmekte, Şekil 9'da ise Şekil 8'deki eğrilerinin eğiminin değişimi gözükmektedir.

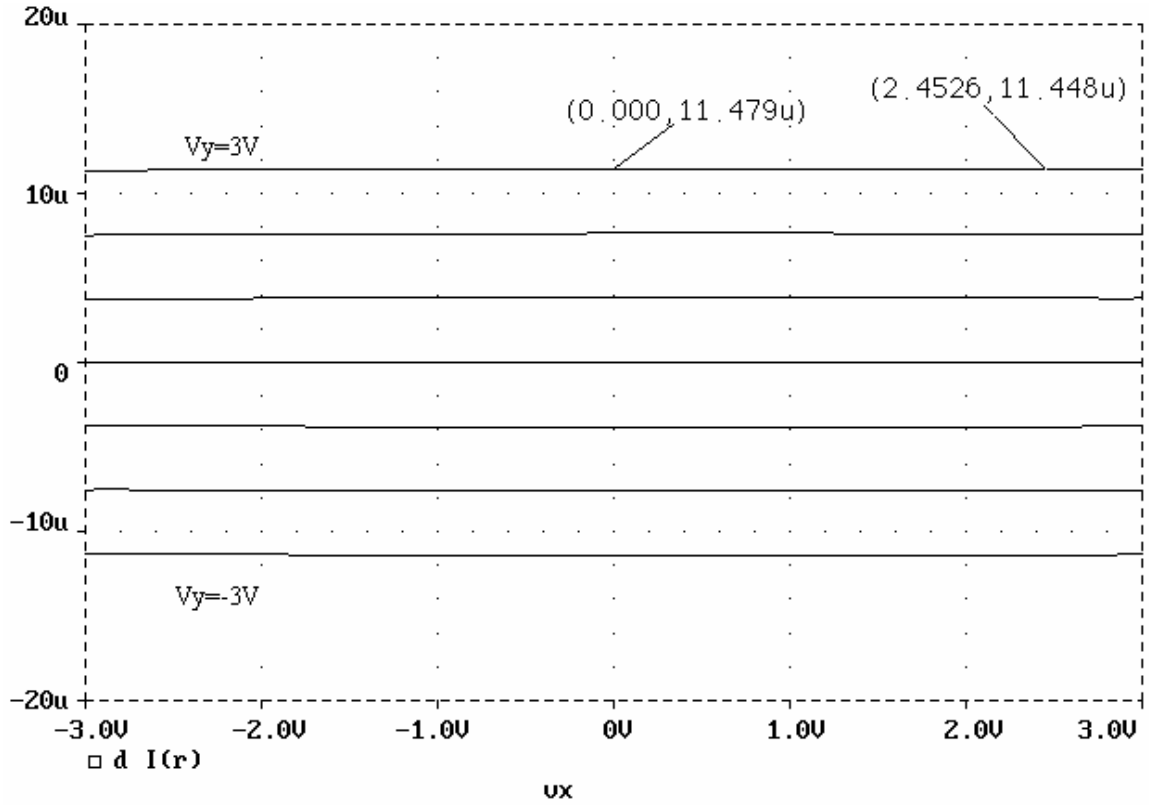
$V_y=3V$ için lineerlik hatası %0.3 ve 100KHz'lik 3V genlikli bir sinüs işareti için distorsiyon %0.15'dir. Şekil 10'da ise $N=0$ alınarak θ düzeltmesi olmadığı durum için çıkış eğrileri gözükmekte, Şekil 11'de ise bu eğrilerin eğiminin değişimi gözükmektedir. Görüldüğü gibi $V_y=-3V$ için hata %11 olmakta ve 100KHz'lik 3V genlikli bir sinüs işareti için distorsiyon %2 olmaktadır. Benzer sonuçlar V_y girişi için aynı ölçüm koşullarında elde edilmiştir. Düzeltme olduğu durumda $V_x=3V$ için lineerlik hatası %0.5 ve distorsiyon %0.15'dur. Düzeltme olmadığı durum için ise lineerlik hatası %6.6 ve distorsiyon %1 olmaktadır. Devrenin frekans bandı X girişi için 11 MHz, Y girişi için ise 10 MHz'dir.



Şekil 7. R direncinin I_k ile değişimi

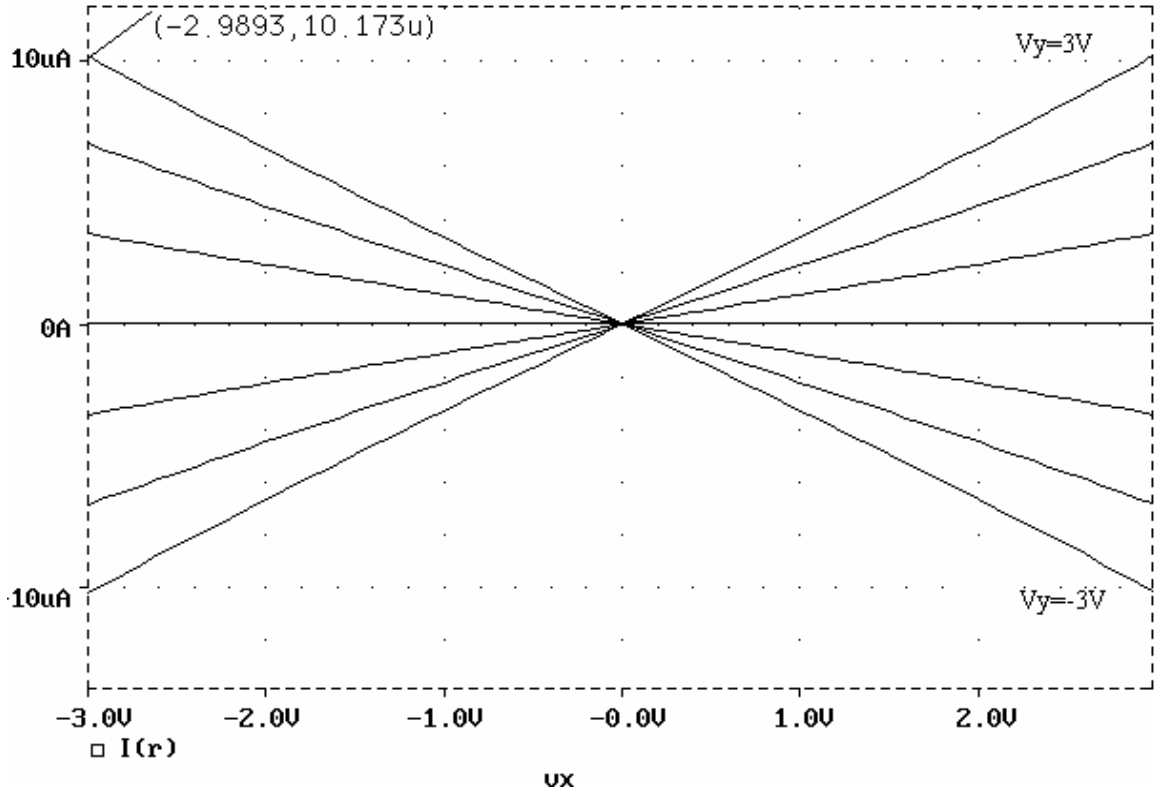


Şekil 8. $N=N_{opt}$ için I_0-V_x eğrileri

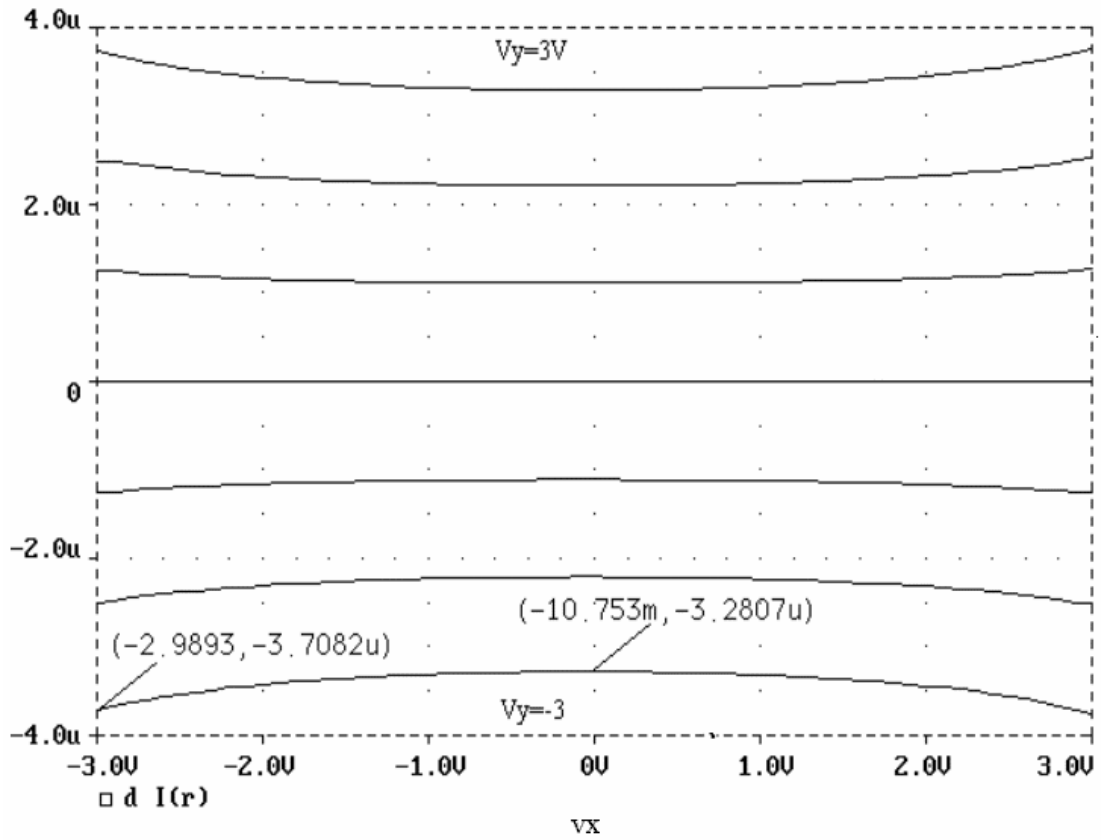


Şekil 9. Şekil 8'deki eğrilerin eğimlerinin v_x ile değişimi

Düşük distorsiyonlu çarpma devresi



Şekil 10. $N=0$ için I_0-V_x eğrileri



Şekil 11. Şekil 10'daki eğrilerin eğiminin v_x ile değişimi

Sonuç

Çarpma devrelerinin lineerliğini bozan başlıca etmenlerden biri olan kısa kanal etkisi sonucu oluşan mobilite azalması etkisini azaltan bir yöntem önerilmiş, bu yöntem bir çarpma devresine uygulanarak yeni bir düşük distorsiyonlu çarpma devresi elde edilmiştir. Devre $\pm 5V$ ile çalışmakta olup X ve Y girişlerinin çalışma aralığı $\pm 3V$ 'dur. X girişi için lineerlik hatası %0.3, Y girişi için ise %0.5'dir. 3dB band genişliği ise X girişi için 11MHz, Y girişi için ise 10MHz'dir. Bu arada yeni bir direnç devresi sunulmuş ve kısa kanal etkisi olumlu yönde kullanılarak yüksek lineerlikte bir direnç elde edilmiştir.

Kaynaklar

- Bult K. ve Wallinga H., (1986). A CMOS Four-Quadrant Analog Multiplier, *IEEE Journal of Solid-State Circuits*, **21**, 3, 430-435.
- Bult K. ve Wallinga H., (1987). Analog CMOS Circuits Based on Square-Law Characteristic of MOS Transistor, *IEEE Journal of Solid-State Circuits*, **22**, 3, 357-365.
- Hong Z. ve Melchior H., (1984). Four-Quadrant Analog Multiplier, *Electronics Letters*, **20**, 24, 1015-1016.
- Jesus S., Finol P. ve Conelly J. Alvin, (1987). A MOS Four-Quadrant Using The Quarter-Square

- Technique, (1987). *IEEE Journal of Solid-State Circuits*, **22**, 6, 1064-1073.
- Kimura K., (1994). Analysis of an MOS Four-Quadrant Analog Multiplier Using Simple Two Input Squaring Circuits with Source Followers, *IEEE Trans, Circuits Syst. I*, **41**, 72-75.
- Liu S. I. ve Chang C., (1997). Low Voltage CMOS Four Quadrant Multiplier, *Electronics Letters*, **33**, 3, 207-208.
- Mehrvarz H. R. ve Kwok C. Y., (1996). A Novel Multi-Input Floating-Gate MOS Four-Quadrant Analog Multiplier, *IEEE Journal of Solid-State Circuits*, **31**, 8, 1123-1131.
- Saxena N. ve Clark J., (1994). A four quadrant CMOS analog multiplier for analog neural networks, (1994). *IEEE Journal of Solid-State Circuits*, **29**, 746-749.
- Song Ho-Jun ve Kim Choong-Ki, (1990). An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits With Source Followers, *IEEE Journal of Solid-State Circuits*, **25**, 3, 841-848.
- Wang Z., (1991). A CMOS four-quadrant analog multiplier with single-ended output and improved temperature performance, *IEEE Journal of Solid-State Circuits*, **26**, 1293-1301.
- Wank Z. (1993), A Four-Transistor Four-Quadrant Analog Multiplier Using MOS Transistors Operating In The Saturation Region, *IEEE Trans. Instrum. Meas.*, **42**, 75-77.